

JP2002324837 A

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

HITACHI LTD

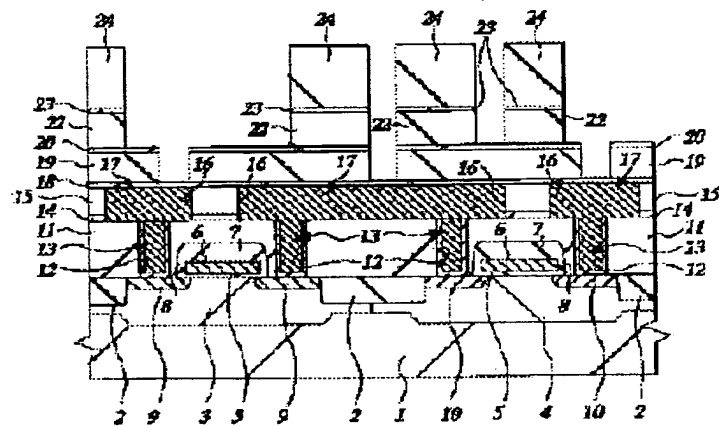
Inventor(s): NOGUCHI JUNJI ; IMAI TOSHINORI ; MARUYAMA HIROYUKI

Application No. 2001126995 JP2001126995 JP, Filed 20010425, A1 Published
20021108 Published 20021108

Abstract: PROBLEM TO BE SOLVED: To provide a technology capable of forming copper damascene wiring without increasing the dielectric constant of an SiOC film.

SOLUTION: After a silicon oxidation film 23 of a thickness approximately 10-50 nm is formed on the surface of the SiOC constituting an insulation film 22 for wiring formation, the increase of the dielectric constant of the SiOC film is suppressed by forming a photoresist film 24 for forming a wiring groove on the insulation film on the silicon oxidation film 23.

図 5



22: 絶縁膜
23: シリコン酸化膜
24: フォトリソグレイ

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-324837
(P2002-324837A)

(43) 公開日 平成14年11月8日 (2002.11.8)

(51) Int.Cl.⁷
H 0 1 L 21/768

識別記号

F I
H 0 1 L 21/90

テマコード* (参考)
K 5 F 0 3 3

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2001-126995 (P2001-126995)

(22) 出願日 平成13年4月25日 (2001.4.25)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 野口 純司

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72) 発明者 今井 俊則

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

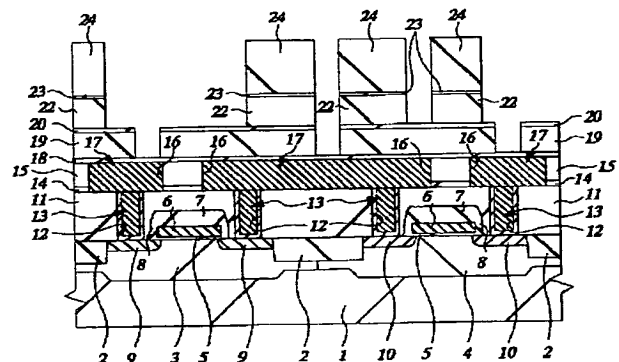
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 SiOC膜の比誘電率を上昇させることなく、銅ダマシン配線を形成することのできる技術を提供する。

【解決手段】 配線形成用の絶縁膜22を構成するSiOC膜の表面に10～50nm程度の厚さのシリコン酸化膜23を形成した後、絶縁膜22に配線溝を形成するためのフォトリソ膜24をシリコン酸化膜23上に形成することによって、SiOC膜の比誘電率の上昇を抑える。

図 5



22: 絶縁膜
23: シリコン酸化膜
24: フォトリソ膜

【特許請求の範囲】

【請求項 1】 カーボンを含むシリコン酸化膜の表面に 10～50 nm 程度のシリコン酸化膜を形成した後、前記シリコン酸化膜上にレジストを塗布することを特徴とする半導体装置の製造方法。

【請求項 2】 カーボンを含むシリコン酸化膜の表面に 10～50 nm 程度のシリコン酸化膜を形成した後、前記シリコン酸化膜上にレジストを塗布することによって、前記カーボンを含むシリコン酸化膜の比誘電率の上昇を防ぐことを特徴とする半導体装置の製造方法。

【請求項 3】 カーボンを含むシリコン酸化膜の表面に 10～50 nm 程度のシリコン酸化膜を形成した後、前記シリコン酸化膜上にレジストを塗布することを特徴とする半導体装置の製造方法であって、前記カーボンを含むシリコン酸化膜の比誘電率は 2.5～3.5 程度であることを特徴とする半導体装置の製造方法。

【請求項 4】 配線溝の内部に配線を形成する半導体装置の製造方法であって、カーボンを含むシリコン酸化膜の表面に 10～50 nm 程度のシリコン酸化膜を形成した後、前記配線溝を形成するためのレジストパターンを前記シリコン酸化膜上に形成することを特徴とする半導体装置の製造方法。

【請求項 5】 相対的に薄い第 1 絶縁膜と相対的に厚い第 2 絶縁膜とが下層から順に堆積された積層膜に形成された配線溝の内部に配線を形成する半導体装置の製造方法であって、

前記第 1 絶縁膜は、シリコン窒化膜またはシリコン炭化膜で構成され、前記第 2 絶縁膜は、カーボンを含むシリコン膜で構成され、

前記第 2 絶縁膜の表面に 10～50 nm 程度のシリコン酸化膜を形成した後、前記配線溝を形成するためのレジストパターンを前記シリコン酸化膜上に形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体装置の製造技術に関し、特に、いわゆるダマシン (damascene) 法を用いて形成された配線構造、およびそのような配線構造を有する半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】 半導体装置の微細化に伴う配線遅延を抑制するために、配線抵抗および配線容量の低減が図られている。配線抵抗に関しては、設計技術による対応と、銅を主導体層とした配線の採用が検討されている。

【0003】 銅配線の形成には、層間絶縁層に形成した溝の内部を含む基板上に銅を主導体層とする配線用金属を埋め込んだ後、溝以外の領域の余分な金属を CMP (chemical mechanical polishing) 法を用いて除去す

ることにより、溝の内部に配線パターンを形成する方法、いわゆるダマシン法が用いられる。

【0004】 一方、配線容量に関しては、比誘電率が 2～3 程度と相対的に低い低誘電率材料の採用が検討されている。なかでも、ダマシン配線に採用する配線形成用の低誘電率材料としては、たとえば機械的強度に優れたカーボンを含むシリコン酸化膜 (silicon-oxycarbide: 以下、SiOC 膜と記す) が有望視されている。

【0005】 なお、低誘電率材料に関しては、たとえば日経 B P 社発行「日経マイクロデバイス」2000 年 8 月号、P172～P180 に記載されている。

【0006】

【発明が解決しようとする課題】 しかしながら、本発明者が検討したところ、低誘電率材料である SiOC 膜には、以下の問題点があることが明らかとなった。

【0007】 すなわち、SiOC 膜上にレジストを塗布すると、レジストがはじく現象が発生する。このため、まず、プラズマ処理を施して SiOC 膜の表面を酸化 (SiO 化) した後、レジストの塗布前処理を行っている。しかし、プラズマ処理を行うと SiOC 膜の比誘電率が 10～20% 程度上昇し、SiOC 膜を採用したことによる配線容量の低減効果が抑制される。

【0008】 本発明の目的は、SiOC 膜の比誘電率を上昇させることなく、銅ダマシン配線を形成することのできる技術を提供することにある。

【0009】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】 本発明は、SiOC 膜の表面に 10～50 nm 程度のシリコン酸化膜を形成した後、シリコン酸化膜上にレジストを塗布することによって、SiOC 膜の比誘電率の上昇を防ぐものである。

【0012】

【発明の実施の形態】 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0013】 本発明の一実施の形態である CMOS FET (complementary metal oxide semiconductor field effect transistor) の製造方法の一例を図 1～図 10 に示した半導体基板の要部断面図を用いて工程順に説明する。

【0014】 まず、図 1 に示すように、たとえば p-型の単結晶シリコンからなる半導体基板 1 を用意し、半導体基板 1 の主面に素子分離領域を 2 を形成する。次に、パターンニングされたフォトリソレジスト膜をマスクとして不

純物をイオン注入し、pウェル3およびnウェル4を形成する。pウェル3にはp型の導電型を示す不純物、たとえばボロン(B)をイオン注入し、nウェル4にはn型の導電型を示す不純物、たとえばリン(P)をイオン注入する。この後、各ウェル領域にMISFET (metal insulator semiconductor FET) のしきい値を制御するための不純物をイオン注入してもよい。

【0015】次に、ゲート絶縁膜5となるシリコン酸化膜、ゲート電極6となる多結晶シリコン膜およびキャップ絶縁膜7となるシリコン酸化膜を順次堆積して積層膜を形成し、パターニングされたフォトレジスト膜をマスクとして上記積層膜をエッチングする。これにより、ゲート絶縁膜5、ゲート電極6およびキャップ絶縁膜7を形成する。ゲート絶縁膜5は、たとえば熱CVD (chemical vapor deposition) 法により形成することができ、ゲート電極6は、たとえばCVD法により形成することができる。

【0016】次に、半導体基板1上に、たとえばCVD法でシリコン酸化膜を堆積した後、このシリコン酸化膜を異方性エッチングすることにより、ゲート電極6の側壁にサイドウォールスペーサ8を形成する。その後、フォトレジスト膜をマスクとして、pウェル3にn型不純物(たとえばリン、ヒ素(As))をイオン注入し、pウェル3上のゲート電極6の両側にn型半導体領域9を形成する。n型半導体領域9は、ゲート電極6およびサイドウォールスペーサ8に対して自己整合的に形成され、nチャネルMISFETのソース、ドレインとして機能する。同様に、フォトレジスト膜をマスクとして、nウェル4にp型不純物(たとえばフッ化ボロン(BF₂))をイオン注入し、nウェル4上のゲート電極6の両側にp型半導体領域10を形成する。p型半導体領域10は、ゲート電極6およびサイドウォールスペーサ8に対して自己整合的に形成され、pチャネルMISFETのソース、ドレインとして機能する。

【0017】次に、図2に示すように、半導体基板1上にスパッタ法またはCVD法でシリコン酸化膜を堆積した後、そのシリコン酸化膜を、たとえばCMP法で研磨することにより、表面が平坦化された層間絶縁膜11を形成する。次いで、パターニングされたフォトレジスト膜をマスクとしたエッチングによって層間絶縁膜11に接続孔12を形成する。この接続孔12は、n型半導体領域9またはp型半導体領域10上などの必要部分に形成する。

【0018】次に、接続孔12の内部を含む半導体基板1の全面に窒化チタン膜を、たとえばCVD法で形成し、さらに接続孔12を埋め込むタングステン膜を、たとえばCVD法で形成する。その後、接続孔12以外の領域の窒化チタン膜およびタングステン膜を、たとえばCMP法により除去して接続孔12の内部にプラグ13を形成する。

【0019】続いて、層間絶縁膜11およびプラグ13上にストップ絶縁膜14を形成し、さらに配線形成用の絶縁膜15を形成する。ストップ絶縁膜14は、絶縁膜15への溝加工の際にエッチングストップとなる膜であり、絶縁膜15に対してエッチング選択比を有する材料を用いる。ストップ絶縁膜14は、たとえばシリコン窒化膜とし、絶縁膜15は、たとえばシリコン酸化膜とする。なお、ストップ絶縁膜14と絶縁膜15とは次に説明する第1配線層が形成される。このため、その合計膜厚は第1配線層に必要な設計膜厚で決められる。次いで、パターニングされたフォトレジスト膜をマスクとしたエッチングによってストップ絶縁膜14および絶縁膜15の所定の領域に配線溝16を形成する。

【0020】次に、配線溝16の内部に第1配線層の配線を形成する。まず、配線溝16の内部を含む半導体基板1の全面に、たとえばタングステン膜を形成する。タングステン膜の形成には、たとえばCVD法を用いる。その後、配線溝16以外の領域のタングステン膜を、たとえばCMP法により除去して、第1配線層の配線17を形成する。

【0021】次に、デュアルダマシン法により第2配線層を形成する。まず、図3に示すように、第1配線層の配線17上にキャップ絶縁膜18、層間絶縁膜19および配線形成用のストップ絶縁膜(第1絶縁膜)20を順次形成する。

【0022】キャップ絶縁膜18および層間絶縁膜19には、後に説明するように接続孔が形成される。キャップ絶縁膜18は、層間絶縁膜19に対してエッチング選択比を有する材料で構成され、たとえばシリコン窒化膜またはシリコン炭化膜とすることができる。シリコン窒化膜またはシリコン炭化膜は、たとえばプラズマCVD法によって形成され、その膜厚は、たとえば50nm程度とすることができる。

【0023】層間絶縁膜19は、SiOC膜からなり、比誘電率は3.3程度である。SiOC膜は、たとえばプラズマCVD法で形成され、その膜厚は、たとえば450nm程度とすることができる。また、SiOC膜は、化学量論的組成からずれているものも含まれ、本発明者によって行われたオーグジュ電子分光法(Auger electron spectroscopy)による分析では、たとえばO/Si=1.8、C/Si=1.6またはO/Si=1.55、C/Si=1.4が得られている。

【0024】ストップ絶縁膜20は、層間絶縁膜19および後にストップ絶縁膜20の上層に堆積される配線形成用の絶縁膜に対してエッチング選択比を有する絶縁材料で構成され、たとえばシリコン窒化膜またはシリコン炭化膜とすることができる。シリコン窒化膜またはシリコン炭化膜は、たとえばプラズマCVD法によって形成され、その膜厚は、たとえば50nm程度とすることができる。

【0025】次に、孔パターンにパターンニングされたフォトレジスト膜21をストッパ絶縁膜20上に形成し、このフォトレジスト膜21をマスクとして、たとえばドライエッチング法によりストッパ絶縁膜20をエッチングする。

【0026】次いで、フォトレジスト膜21を除去した後、図4に示すように、ストッパ絶縁膜20上に配線形成用の絶縁膜（第2絶縁膜）22を形成する。絶縁膜22は、SiOC膜からなり、その膜厚は、たとえば400nm程度とすることができる。SiOC膜は、たとえばプラズマCVD法で形成され、上記層間絶縁膜19を構成するSiOC膜と同様に、化学量論的組成からずれているものも含まれる。なお、ストッパ絶縁膜20および絶縁膜22には次に説明する第2配線層が埋め込まれる配線溝が形成されるため、その合計膜厚は第2配線層に必要な設計膜厚で決められる。

【0027】その後、絶縁膜22の表面に、10～50nm程度の膜厚の相対的に薄いシリコン酸化膜23を形成する。シリコン酸化膜23は、たとえばTEOS (tetraethyl ortho silicate: $\text{Si}(\text{OC}_2\text{H}_5)_4$) とオゾンとをソースガスに用いたプラズマCVD法で形成されたTEOS酸化膜で構成される。

【0028】次に、図5に示すように、溝パターンにパターンニングされたフォトレジスト膜24をシリコン酸化膜23上に形成する。絶縁膜22を構成するSiOC膜の表面にはシリコン酸化膜23が形成されているので、フォトレジスト膜24ははじくことなく塗布される。次いで、このフォトレジスト膜24をマスクとして、たとえばドライエッチング法によりシリコン酸化膜23および絶縁膜22を順次エッチングする。この際、ストッパ絶縁膜20がエッチングストッパ層として機能する。

【0029】続いて、ストッパ絶縁膜20およびフォトレジスト膜24をマスクとして、たとえばドライエッチング法により層間絶縁膜19をエッチングする。この際、キャップ絶縁膜18がエッチングストッパ層として機能する。

【0030】次いで、フォトレジスト膜24を除去した後、図6に示すように、露出したキャップ絶縁膜18を、たとえばドライエッチング法により除去する。キャップ絶縁膜18を除去すると同時にストッパ絶縁膜20が除去されて、キャップ絶縁膜18および層間絶縁膜19に接続孔25が形成され、ストッパ絶縁膜20および絶縁膜22に配線溝26が形成される。

【0031】次に、接続孔25および配線溝26の内部に第2配線層の配線を形成する。第2配線層の配線は、バリアメタル層および主導電層である銅膜からなり、この配線と下層配線である第1配線層の配線17とを接続する接続部材は第2配線層の配線と一体に形成される。第2配線層の配線の形成方法は、たとえば以下に行う。

【0032】まず、図7に示すように、接続孔25および配線溝26の内部を含む半導体基板1の全面にバリアメタル層27を形成する。バリアメタル層27は、たとえばタンタル膜からなり、その膜厚は、たとえば基板平面上で50nm程度とすることができる。上記タンタル膜は、たとえばスパッタ法で形成される。バリアメタル層27は、窒化チタン、窒化タンタル等で構成してもよい。

【0033】次に、図8に示すように、バリアメタル層27上に銅のシード層28を形成する。シード層28は、たとえばCVD法またはスパッタ法で形成され、その膜厚は、たとえば基板平面上で100nm程度である。次いで、電解めっき法を用いてシード層28上に銅のめっき層29を形成する。めっき層29の膜厚は、たとえば基板平面上で600nm程度とする。これにより接続孔25および配線溝26を同時に埋め込む。

【0034】次に、図9に示すように、CMP法を用いてめっき層29およびシード層28を研磨する。銅は研磨速度が大きいので、まず先に銅の部分が除去される。さらに、研磨を継続し、絶縁膜22上のバリアメタル層27を除去する。これにより配線溝26以外の領域の銅膜（めっき層29およびシード層28）およびバリアメタル層27が除去されて、接続部材と一体に形成された配線30が形成される。シリコン酸化膜23は、CMP工程におけるオーバ研磨の段階で生ずるエロージョン（約0.1μm）によって除去することができる。

【0035】その後、図10に示すように、第2配線層の配線30上にキャップ絶縁膜31を形成し、図示はしないが、さらに上層の配線を形成した後、パッシベーション膜で半導体基板1の全面を覆うことにより、CMOSFETが略完成する。

【0036】なお、本実施の形態では、半導体基板1の主面上に形成される半導体素子としてCMOSFETを例示したが、これに限定されるものではない。

【0037】このように、本実施の形態によれば、配線形成用の絶縁膜22を構成するSiOC膜の表面に10～50nm程度の厚さの相対的に薄いシリコン酸化膜23を形成することにより、SiOC膜の比誘電率を上昇させることなく、SiOC膜を加工するためのフォトレジスト膜24を塗布することができる。さらに、配線溝26以外の領域の銅膜を除去するCMP工程においてシリコン酸化膜23は研磨除去されるので、シリコン酸化膜23の残渣による配線間容量の増加を防ぐことができる。

【0038】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0039】たとえば、前記実施の形態では、デュアル

ダマシン配線の製造工程に適用した場合について説明したが、レジストパターンをマスクとしてSiOC膜を加工するいかなる工程にも適用することが可能であり、同様の効果を得ることができる。

【0040】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0041】SiOC膜の表面に10～50nm程度の厚さのシリコン酸化膜を形成することにより、SiOC膜の比誘電率を上昇させることなく、SiOC膜を加工するためのレジスト膜を塗布することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるCMOSFETの製造方法を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態であるCMOSFETの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態であるCMOSFETの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態であるCMOSFETの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態であるCMOSFETの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態であるCMOSFETの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態であるCMOSFETの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるCMOSFETの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態であるCMOSFETの製造方法を示す半導体基板の要部断面図である。

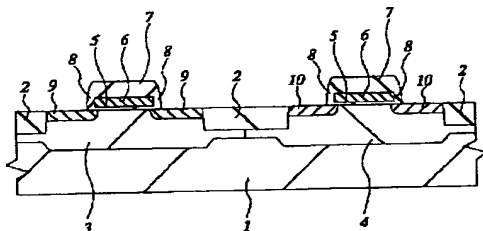
【図10】本発明の一実施の形態であるCMOSFETの製造方法を示す半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離領域
- 3 pウェル
- 4 nウェル
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 キャップ絶縁膜
- 8 サイドウォールスペーサ
- 9 n型半導体領域
- 10 p型半導体領域
- 11 層間絶縁膜
- 12 接続孔
- 13 プラグ
- 14 ストップパ絶縁膜
- 15 絶縁膜
- 16 配線溝
- 17 配線
- 18 キャップ絶縁膜
- 19 層間絶縁膜
- 20 ストップパ絶縁膜
- 21 フोटレジスト膜
- 22 絶縁膜
- 23 シリコン酸化膜
- 24 フोटレジスト膜
- 25 接続孔
- 26 配線溝
- 27 バリアメタル層
- 28 シード層
- 29 めっき層
- 30 配線
- 31 キャップ絶縁膜

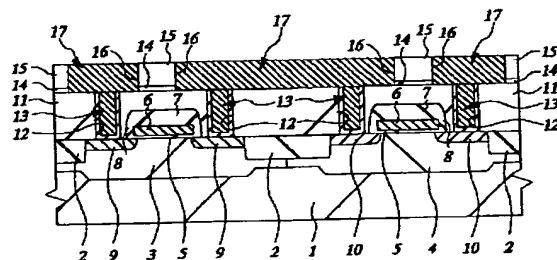
【図1】

図 1



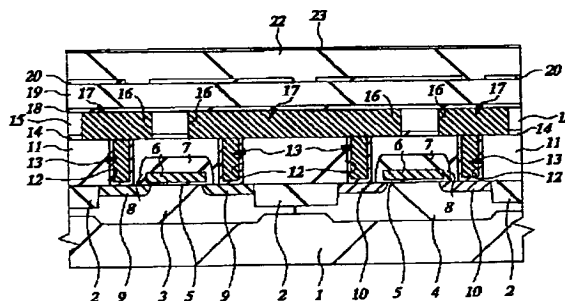
【図2】

図 2



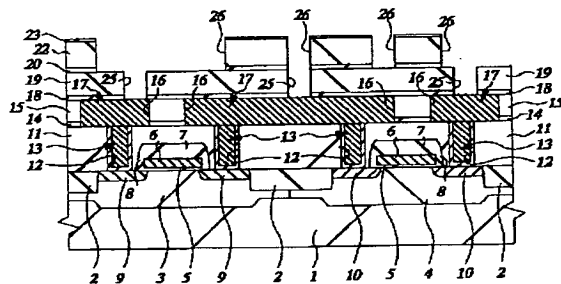
【図4】

4



【図 6】

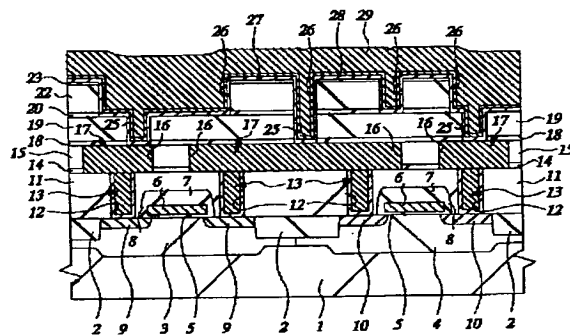
6



8

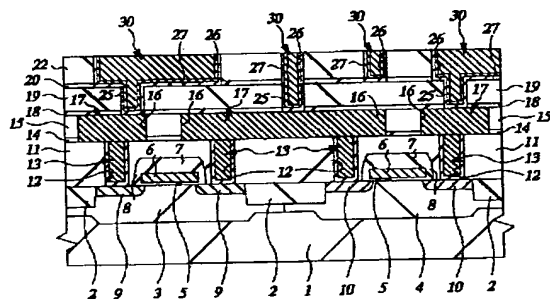
【図 7】

7



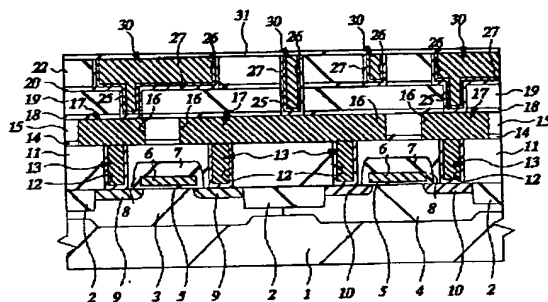
【図9】

図 9



【図10】

図 10



フロントページの続き

(72)発明者 丸山 裕之
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

Fターム(参考) 5F033 HH19 HH21 HH32 HH33 JJ19
JJ21 JJ32 JJ33 KK01 KK19
MM02 MM12 MM13 NN06 NN07
PP06 PP15 PP27 QQ09 QQ11
QQ25 QQ37 QQ48 RR01 RR04
RR06 SS01 SS04 SS08 SS11
SS15 TT02 XX24